

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
10. April 2003 (10.04.2003)

PCT

(10) Internationale Veröffentlichungsnummer  
**WO 03/030247 A2**

(51) Internationale Patentklassifikation<sup>7</sup>: **H01L 21/60**,  
23/051, 23/538

München (DE). **SCHWARZBAUER, Herbert** [DE/DE];  
Kössener Str. 13a, 81373 München (DE). **SELIGER,  
Norbert** [AT/DE]; Gnesener Str. 24, 81929 München  
(DE). **WEIDNER, Karl** [DE/DE]; Zauserweg 6, 81245  
München (DE). **ZAPF, Jörg** [DE/DE]; Dalandstr.1, 81927  
München (DE). **REBHAM, Matthias** [DE/DE]; Forststr.  
19, 85521 Riemerling (DE).

(21) Internationales Aktenzeichen: PCT/DE02/03615

(22) Internationales Anmeldedatum:  
25. September 2002 (25.09.2002)

(25) Einreichungssprache: Deutsch

(74) Gemeinsamer Vertreter: **SIEMENS AKTIENGE-  
SELLSCHAFT**; Postfach 22 16 34, 80506 München  
(DE).

(30) Angaben zur Priorität:  
101 47 935.2 28. September 2001 (28.09.2001) DE

(81) Bestimmungsstaaten (national): AE, AG, AL, AM, AT,  
AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR,  
CU, CZ, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH,  
GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC,  
LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW,  
MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG,  
SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,  
VC, VN, YU, ZA, ZM, ZW.

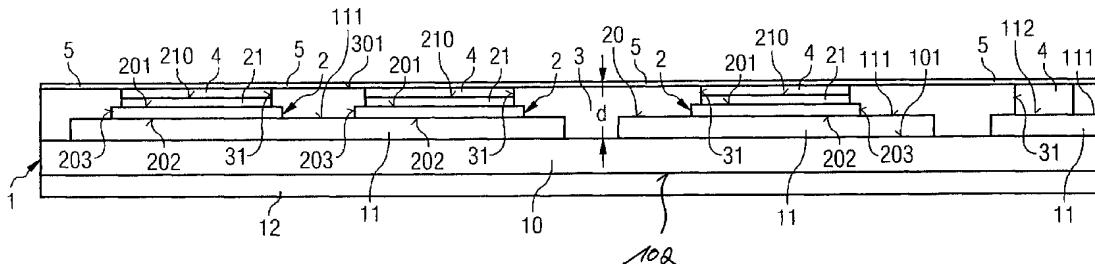
(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von  
US): **SIEMENS AKTIENGESELLSCHAFT** [DE/DE];  
Wittelsbacherplatz 2, 80333 München (DE).

(84) Bestimmungsstaaten (regional): ARIPO-Patent (GH,  
GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW),

[Fortsetzung auf der nächsten Seite]

(54) **Titel:** METHOD FOR CONTACTING ELECTRICAL CONTACT SURFACES OF A SUBSTRATE AND DEVICE CONSISTING OF A SUBSTRATE HAVING ELECTRICAL CONTACT SURFACES

(54) **Bezeichnung:** VERFAHREN ZUM KONTAKTIEREN ELEKTRISCHER KONTAKTFLÄCHEN EINES SUBSTRATS UND  
VORRICHTUNG AUS EINEM SUBSTRAT MIT ELEKTRISCHEN KONTAKTFLÄCHEN



**WO 03/030247 A2**

(57) **Abstract:** The invention relates to a method for contacting electrical contact surfaces (21, 112) on a surface (20) of a substrate (1). According to said method, a film (3) based on polyimide or epoxy is laminated onto the surface, under a vacuum, in such a way that the film closely covers the surface comprising the contact surfaces and adheres to the same. Each contact surface to be contacted on the surface is uncovered by opening respective windows (31) in the film, and a contact is established in a plane manner between each uncovered contact surface and a layer (4) of metal. The inventive method is used to establish a large-surface contact for power semiconductor chips, enabling a high current density.

(57) **Zusammenfassung:** Bei dem Verfahren zum Kontaktieren elektrischer Kontaktflächen (21, 112) auf einer Oberfläche (20) eines Substrats (1) wird eine Folie (3) auf Polyimid- oder Epoxidbasis unter Vakuum auf die Oberfläche auflaminiert, so dass die Folie die Oberfläche mit den Kontaktflächen eng anliegend bedeckt und auf dieser Oberfläche haftet, jede zu kontaktierende Kontaktfläche auf der Oberfläche wird durch Öffnen jeweiliger Fenster (31) in der Folie freigelegt, und jede freigelegte Kontaktfläche wird mit einer Schicht (4) aus Metall flächig kontaktiert. Anwendung: Großflächige Kontaktierung von Leistungshalbleiterchips, die eine hohe Stromdichte erlaubt.



eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), OAPI-Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

**Erklärungen gemäß Regel 4.17:**

- *hinsichtlich der Berechtigung des Anmelders, ein Patent zu beantragen und zu erhalten (Regel 4.17 Ziffer ii) für die folgenden Bestimmungsstaaten AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VC, VN, YU, ZA, ZM, ZW, ARIPO-Patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), OAPI-Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)*
- *Erfindererklärung (Regel 4.17 Ziffer iv) nur für US*

- **Veröffentlicht:**
- *ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts*

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

## Beschreibung

Verfahren zum Kontaktieren elektrischer Kontaktflächen eines Substrats und Vorrichtung aus einem Substrat mit elektrischen 5 Kontaktflächen

Die Erfindung betrifft ein Verfahren zum Kontaktieren mit einer oder mehreren elektrischen Kontaktflächen auf einer Oberfläche eines Substrats und eine Vorrichtung aus einem 10 Substrat mit einer Oberfläche, auf der elektrische Kontaktflächen angeordnet sind.

Die am weitesten verbreitete Technologie zur Kontaktierung von Leistungshalbleiterchips untereinander und mit 15 Leiterbahnen ist das Dickdrahtboden (siehe Harmann, G., „Wire Bonding in Microelectronics, Materials, Processes, Reliability and Yield“, Mc Graw Hill 1998). Mittels Ultraschallenergie wird hierbei eine dauerhafte Verbindung zwischen dem Draht aus Al, der einen Durchmesser von 20 typischerweise einigen 100 µm aufweist und der Kontaktfläche, die am Chip aus Al und Cu am Leistungsmodul besteht, über eine intermetallische Verbindung realisiert.

Als Alternativen zum Bonden sind weitere Verfahren wie das 25 ThinPak publiziert (siehe Temple, V., „SPCO's ThinPak Package, an Ideal Block for Power Modules and Power Hybrids“, IMAPS 99 Conference, Chicago 1999). Hierbei wird die Chipoberfläche über ein Lot kontaktiert, das über Löcher einer Keramikplatte eingebracht wird.

Bei MPIPPS (Metal Posts Interconnected Parallel Plate Structures, siehe Haque S., et al., „An Innovative Technique for Packaging Power Electronic Building Blocks Using Metal Posts Interconnected Parallel Plate Struktures“, IEEE Trans 35 Adv. Pckag., Vol.22, No.2, May 1999) werden die Kontakte mittels gelöteter Kupferpfosten hergestellt.

Eine andere Methode zur Kontaktierung kann über Lötbumps bei der Flip Chip Technologie erfolgen (Liu, X., et al., „Packaging of Integrated Power Elektronics Modules Using Flip-Chip Technology“, Applied Power Electronics Conference and Exposition, APEC'2000). Diese ermöglicht zudem eine verbesserte Wärmeabfuhr, da die Leistungshalbleiter an der Ober- und Unterseite auf DCB-Substraten (DCB steht für Direct Copper Bonding) aufgelötet werden können (siehe Gillot, C., et al., „A New Packaging Technique for Power Multichip Modules“, IEEE Industry Applications Conference IAS'99, 1999).

Eine großflächige Kontaktierung über aufgedampfte Cu-Leitungen ist in (Lu, G.-Q., „3-D, Bond-Wireless Interconnection of Power Devices in Modules Will Cut Resistance, Parasitics and Noise“, PCIM May 2000, pp.40-68) vorgestellt, wobei die Isolierung der Leiterbahnen mittels aus der Dampfphase abgeschiedenem (CVD-Verfahren) Isolator erfolgt (Power Module Overlay Structure).

Die Kontaktierung mittels einer strukturierten Folie über einen Klebe- bzw. Lötprozess wurde in (Krokoszinski, H.-J., Esrom, H., „Foil Clip for Power Module Interconnects“, Hybrid Circuits 34, Sept. 1992) publiziert.

Das US-Patent Nr. 5,616,886 von Motorola enthält einen Vorschlag zum Bondless Module, wobei keine Prozessdetails genannt werden.

Aufgabe der Erfindung ist es, ein Verfahren zum Kontaktieren einer oder mehrerer elektrischer Kontaktflächen auf einer Oberfläche eines Substrats bereitzustellen, das gegenüber herkömmlichen derartigen Verfahren den besonderen Vorteil aufweist, der in der Möglichkeit einer großflächigen Kontaktierung, die eine hohe Stromdichte erlaubt, besteht.

Diese Aufgabe wird durch ein Verfahren gelöst, das die im Anspruch 1 angegebenen Merkmale aufweist.

Demnach ist durch die erfindungsgemäße Lösung ein Verfahren zum Kontaktieren einer oder mehrerer elektrischer Kontaktflächen auf einer Oberfläche eines Substrats bereitgestellt, das die Schritte aufweist:

- Auflaminieren einer Folie aus elektrisch isolierendem Kunststoffmaterial auf die Oberfläche des Substrats unter Vakuum, so dass die Folie die Oberfläche mit der oder den Kontaktflächen eng anliegend bedeckt und auf dieser Oberfläche haftet,
- Freilegen jeder zu kontaktierenden Kontaktfläche auf der Oberfläche durch Öffnen jeweiliger Fenster in der Folie, und
- flächiges Kontaktieren jeder freigelegten Kontaktfläche mit einer Schicht aus elektrisch leitendem Material.

Als Substrate kommen beliebige Schaltungsträger auf organischer oder anorganischer Basis in Frage. Solche Substrate sind beispielsweise PCB (Printed Circuit Board)-, DCB-, IM (Insulated Metal)-, HTCC (High Temperature Cofired Ceramics)- und LTCC (Low Temperature Cofired Ceramics)- Substrate.

Das Auflaminieren erfolgt vorteilhaft in einer Vakuumpresse. Dazu sind Vakuumtiefziehen, hydraulisches Vakuumpressen, Vakuumgasdruckpressen oder ähnliche Laminierverfahren denkbar. Der Druck wird vorteilhafterweise isostatisch aufgebracht. Das Auflaminieren erfolgt beispielsweise bei Temperaturen von 100°C bis 250°C und einem Druck von 1 bar bis 10 bar. Die genauen Prozessparameter des Auflaminierens, also Druck, Temperatur, Zeit etc., hängen unter anderem von der Topologie des Substrats, des Kunststoffmaterials der Folie und der Dicke der Folie ab.

Zum flächigen Kontaktieren wird vorteilhaft ein physikalisches oder chemisches Abscheiden des elektrisch

leitenden Materials durchgeführt. Derartige physikalische Verfahren sind Sputtern und Bedampfen (Physical Vapor Deposition, PVD). Das chemische Abscheiden kann aus gasförmiger Phase (Chemical Vapor Deposition, CVD) und/oder flüssiger Phase (Liquid Phase Chemical Vapor Deposition) erfolgen. Denkbar ist auch, dass zunächst durch eines dieser Verfahren eine dünne elektrisch leitende Teilschicht aufgetragen wird, auf der dann eine dickere elektrisch leitende Teilschicht galvanisch abgeschieden wird.

10

Vorzugs- und vorteilhafterweise wird bei dem erfindungsgemäßen Verfahren ein Substrat mit einer Oberfläche verwendet, die mit einem oder mehreren Halbleiterchips, insbesondere Leistungshalbleiterchips bestückt ist, auf deren 15 jedem je eine oder mehrere zu kontaktierende Kontaktflächen vorhanden ist oder sind, und wobei die Folie auf dieser Oberfläche unter Vakuum auflaminiert wird, so dass die Folie diese Oberfläche einschließlich jedes Halbleiterchips und jeder Kontaktfläche eng anliegend bedeckt und auf dieser 20 Oberfläche einschließlich jedes Halbleiterchips hafft.

Die Folie ist dabei so gestaltet, dass ein Höhenunterschied von bis zu 500 µm überwunden werden kann. Der Höhenunterschied ist unter anderem durch die Topologie des 25 Substrats und durch die auf dem Substrat angeordneten Halbleiterchips verursacht.

Die Folie kann aus beliebigen Thermoplasten, Duroplasten und Mischungen davon bestehen. Als Folie wird bei dem 30 erfindungsgemäßen Verfahren vorzugs- und vorteilhafterweise eine Folie aus einem Kunststoffmaterial auf Polyimid (PI)-, Polyethylen (PE)-, Polyphenol-, Polyetheretherketon (PEEK)- und/oder Epoxidbasis verwendet. Die Folie kann dabei zur Verbesserung der Haftung auf der Oberfläche eine 35 Klebebeschichtung aufweisen.

Die Dicke der Folie kann 10 µm bis 500 µm betragen. Vorzugs- und vorteilhafterweise wird bei dem erfindungsgemäßen Verfahren eine auflaminierte Folie einer Dicke von 25 bis 150 µm verwendet.

5

Nach dem Auflaminieren wird insbesondere ein Temperschritt durchgeführt. Durch eine Temperaturbehandlung die Haftung der Folie auf der Oberfläche verbessert.

10 In einer weiteren Ausgestaltung wird das Auflaminieren (mit oder ohne Temperschritt) sooft wiederholt wird, bis eine bestimmte Dicke der auflaminierten Folie erreicht ist. Beispielsweise werden Folien geringerer Dicke zu einer auflaminierten Folie höherer Dicke verarbeitet. Diese Folien 15 bestehen vorteilhaft aus einer Art Kunststoffmaterial. Denkbar ist dabei auch, dass Folien aus mehreren unterschiedlichen Kunststoffmaterialen bestehen. Es resultiert eine schichtförmige, auflaminierte Folie.

20 In einer besonderen Ausgestaltung wird ein Fenster in der Folie durch Laserablation geöffnet. Eine Wellenlänge eines dazu verwendeten Lasers beträgt zwischen 300 nm und 1100 nm. Die Leistung des Lasers beträgt zwischen 1 W und 100 W. Beispielsweise wird ein CO<sub>2</sub>-Laser mit einer Wellenlänge von 25 924 nm verwendet. Das Öffnen der Fenster erfolgt dabei ohne eine Beschädigung eines eventuell unter der Folie liegenden Chipkontakte aus Aluminium.

30 In einer weiteren Ausgestaltung wird eine fotoempfindliche Folie (Fotofolie) verwendet und ein Fenster durch einen fotolithographischen Prozess geöffnet. Der fotolithographische Prozess umfasst ein Belichten der fotoempfindlichen Folie, ein Entwickeln der belichteten und/oder nicht-belichteten Stellen der Folie und ein 35 Entfernen der belichteten oder nicht-belichteten Stellen der Folie.

Nach dem Öffnen der Fenster erfolgt gegebenenfalls ein Reinigungsschritt, bei dem Folienreste entfernt werden. Der Reinigungsschritt erfolgt beispielsweise nasschemisch. Denkbar ist insbesondere auch ein Plasmareinigungsverfahren.

5

In einer weitere Ausgestaltung wird eine Schicht aus mehreren übereinander angeordneten Teilschichten aus unterschiedlichem, elektrisch leitenden Material verwendet. Es werden beispielsweise verschiedene Metalllagen übereinander aufgetragen. Die Anzahl der Teilschichten beziehungsweise Metalllagen beträgt insbesondere 2 bis 5. Durch die aus mehreren Teilschichten aufgebaute elektrisch leitende Schicht kann beispielsweise eine als Diffusionsbarriere fungierende Teilschicht integriert sein. Eine derartige Teilschicht besteht beispielsweise aus einer Titan-Wolfram-Legierung (TiW). Vorteilhafterweise wird bei einem mehrschichtigen Aufbau direkt auf der zu kontaktierenden Oberfläche eine die Haftung vermittelnde oder verbessernde Teilschicht aufgebracht. Ein derartige Teilschicht besteht beispielsweise aus Titan.

In einer besonderen Ausgestaltung wird nach dem flächigen Kontaktieren in und/oder auf der Schicht aus dem elektrisch leitendem Material mindestens eine Leiterbahn erzeugt. Die Leiterbahn kann auf der Schicht aufgetragen werden. Insbesondere wird zum Erzeugen der Leiterbahn ein Strukturieren der Schicht durchgeführt. Dies bedeutet, dass die Leiterbahn in dieser Schicht erzeugt wird. Die Leiterbahn dient beispielsweise der elektrischen Kontaktierung eines Halbleiterchips.

Das Strukturieren erfolgt üblicherweise in einem fotolithographischen Prozess. Dazu kann auf der elektrisch leitenden Schicht ein Fotolack aufgetragen, getrocknet und anschließend belichtet und entwickelt werden. Unter Umständen folgt ein Temperschritt, um den aufgetragenen Fotolack gegenüber nachfolgenden Behandlungsprozessen zu

stabilisieren. Als Fotolack kommen herkömmliche positive und negative Resists (Beschichtungsmaterialien) in Frage. Das Auftragen des Fotolacks erfolgt beispielsweise durch einen Sprüh- oder Tauchprozess. Electro-Deposition

5 (elektrostatisches oder elektrophoretisches Abscheiden) ist ebenfalls denkbar.

Zum Strukturieren können auch fotoempfindliche Folien eingesetzt werden, die auflaminiert und vergleichbar mit dem 10 aufgetragenen Fotolackschicht belichtet und entwickelt werden.

Zum Erzeugen der Leiterbahn kann beispielsweise wie folgt vorgegangen werden: In einem ersten Teilschritt wird die 15 elektrisch leitende Schicht strukturiert und in einem darauf folgendem Teilschritt wird auf den erzeugten Leiterbahn eine weitere Metallisierung aufgebracht. Durch die weitere Metallisierung wird die Leiterbahn verstärkt. Beispielsweise wird auf den durch Strukturieren erzeugten Leiterbahn Kupfer 20 galvanisch in einer Dicke von 1 µm bis 400 µm abgeschieden. Danach wird die Fotolackschicht beziehungsweise die 25 auflaminierte Folie abgelöst. Dies gelingt beispielsweise mit einem organischen Lösungsmittel, einem alkalischen Entwickler oder dergleichen. Durch nachfolgendes Differenzätzen wird die flächige, nicht mit der Metallisierung verstärkte, metallisch leitende Schicht wieder entfernt. Die verstärkte Leiterbahn bleibt erhalten.

In einer besonderen Ausgestaltung werden zum Herstellen einer 30 mehrlagigen Vorrichtung die Schritte Auflaminieren, Freilegen, Kontaktieren und Erzeugen der Leiterbahn mehrmals durchgeführt.

Durch die Erfindung ist vorteilhafterweise eine neuartige 35 Technologie zur elektrischen Kontaktierung und Verdrahtung von Anschlusspads bzw. -kontakteflächen, die auf Halbleiterchips, insbesondere auf Leistungshalbleiterchips

angeordnet sind, bereitgestellt. Zusätzlich ergibt bei dem erfindungsgemäßen Verfahren die flächige Anbindung und die besondere Isolierung eine niederinduktive Verbindung, um schnelles und verlustarmes Schalten zu ermöglichen.

5

Das Auflaminieren der Folie unter Vakuum bei dem erfindungsgemäßen Verfahren ist durch ein isostatisches Laminieren gegeben. Durch das Auflaminieren der Folie wird eine elektrische Isolationsschicht hergestellt. Die 10 Herstellung der Isolationsschicht durch das erfindungsgemäße Auflaminieren der Folie bietet folgende Vorteile:

- Anwendung bei hohen Temperaturen. Eine Folie aus Polyimid beispielsweise ist beständig bis zu 300°C.
- Geringe Prozesskosten, z.B. im Vergleich mit Abscheidung 15 des Isolators aus der Dampfphase.
- Es sind hohe Isolationsfeldstärken durch Verwendung dicker Isolationsschichten möglich.
- Hoher Durchsatz, z.B. können DCB-Substrate im Nutzen prozessiert werden.
- 20 - Homogene Isolationseigenschaften, da Lufteinschlüsse durch die Verarbeitung der Folie im Vakuum verhindert werden.
- Die gesamte Chipkontaktfläche kann genutzt werden, so dass hohe Ströme abgeleitet werden können. Dabei können Chipkontaktflächen von 60 mm<sup>2</sup> bis 100 mm<sup>2</sup> realisiert werden.
- 25 - Durch die flächige Kontaktierung können die Chips homogen angesteuert werden.
- Die Induktivität des Kontaktes bei einer Kontaktfläche ist durch die flächenhafte Geometrie kleiner als beim Dickdrahtboden.
- 30 - Die Kontaktierung führt zu hoher Zuverlässigkeit bei Vibrations- und mechanischer Schockbelastung. - Höhere Lastwechselfestigkeit im Vergleich zu konkurrierenden Methoden wegen geringer thermomechanischer Spannungen.
- Es sind mehrere Verdrahtungsebenen zugänglich.
- 35 - Die beschriebene, planare Verbindungstechnik beansprucht eine geringe Bauhöhe. Es resultiert ein kompakter Aufbau.

- Bei mehrlagigen Verbindungsebenen sind großflächige Metallisierungslagen zur Abschirmung realisierbar. Dies wirkt sich insbesondere auf das EMV (Elektromagnetische Verträglichkeit)-Verhalten der Schaltung (Störemission, 5 Störfestigkeit) sehr positiv aus.

Durch die Erfindung ist auch eine Vorrichtung bereitgestellt, welche die im Anspruch 13 angegebenen Merkmale aufweist und die dem gemäß eine Vorrichtung aus einem Substrat mit einer Oberfläche ist, auf der elektrische Kontaktflächen angeordnet 10 sind, wobei auf der Oberfläche eine Folie aus elektrisch isolierendem Material durch Vakuum auflaminiert ist, die eng an der Oberfläche anliegt und an der Oberfläche haftet, wobei die Folie bei jeder Kontaktfläche ein Fenster aufweist, in welchem diese Kontaktfläche frei von der Folie und flächig 15 mit einer Schicht aus elektrisch leitendem Material kontaktiert ist.

Bevorzugte und vorteilhafte Ausgestaltungen der Vorrichtung nach Anspruch 13 sind in den Ansprüchen 14 und 15 angegeben.

20 Die Erfindung wird in der nachfolgenden Beschreibung anhand mehrerer Figuren beispielhaft näher erläutert.

Figur 1 zeigt einen vertikalen Schnitt durch ein Beispiel 25 einer erfindungsgemäßen Vorrichtung.

Figur 2 zeigt schematisch ein Beispiel eines erfindungsgemäßen Verfahrens.

30 In der Figur 1 ist das Substrat des Beispiels generell mit 1 bezeichnet. Dieses Substrat 1 weist beispielsweise ein DCB-Substrat auf, das bekanntermaßen aus einer Schicht 10 aus Keramikmaterial, einer auf eine untere Oberfläche 102 der Schicht 10 aufgebrachten Schicht 12 aus Kupfer und einer auf 35 einer von der unteren Oberfläche 102 abgekehrten Oberfläche 101 der Schicht 10 aufgebrachten Schicht 11 aus Kupfer besteht.

Die Schicht 11 auf der oberen Oberfläche 101 der Schicht 10 ist bereichsweise bis auf die obere Oberfläche 101 herab entfernt, so dass dort die obere Oberfläche 101 frei liegt,  
5 jedoch hat dies für die Erfindung keine Bedeutung.

Auf die von der Schicht 10 abgekehrte Oberfläche 111 der verbliebenen Schicht 11 aus Kupfer sind Halbleiterchips 2 aufgebracht, die zueinander gleich und/oder voneinander  
10 verschieden sein können.

Jeder Halbleiterchip 2, der vorzugsweise ein Leistungshalbleiterchip ist, kontaktiert mit einer nicht dargestellten Kontaktfläche, die auf einer der Schicht 11 aus 15 Kupfer zugekehrten unteren Oberfläche 202 des Chips 2 vorhanden ist, flächig die obere Oberfläche 111 der Schicht 11. Beispielsweise ist diese Kontaktfläche mit der Schicht 11 verlötet.

20 Auf der von der Schicht 11 aus Kupfer und der unteren Oberfläche 202 abgekehrten oberen Oberfläche 201 jedes Chip 2 ist je ein Kontakt 21 mit einer vom Chip 2 abgekehrten Kontaktfläche 210 vorhanden.

25 Ist beispielsweise der Halbleiterchip 2 ein Transistor, ist die Kontaktfläche auf der unteren Oberfläche 202 dieses Chips 2 die Kontaktfläche eines Kollektor- bzw. Drainkontakte, und ist der Kontakt 21 auf der oberen Oberfläche 201 des Chip 2 ein Emitter- bzw. Sourcekontakt, dessen Kontaktfläche die 30 Kontaktfläche 210 ist.

Die generell mit 20 bezeichnete gesamte obere Oberfläche des mit den Halbleiterchips 2 bestückten Substrats 1 ist durch die freiliegenden Teile der oberen Oberfläche 101 der Schicht 35 10, der oberen Oberfläche 101 der Schicht 11 aus Kupfer außerhalb der Chips 2 und durch die freie Oberfläche jedes

Chip 2 selbst gegeben, die durch die obere Oberfläche 201 und die seitliche Oberfläche 203 dieses Chip 2 bestimmt ist.

Die Oberfläche 20 des Substrats 1 ist die für die Erfindung  
5 relevante Oberfläche.

Erfindungsgemäß wird auf die Oberfläche 20 des Substrats 1 eine Folie 3 aus elektrisch isolierendem Kunststoffmaterial unter Vakuum auflaminert, so dass die Folie 3 die Oberfläche 10 20 mit den Kontaktflächen 210 eng anliegend bedeckt und auf dieser Oberfläche 20 haftet (Figur 2, 301).

Die auflaminierte Folie 3 dient als Isolator und als Träger von Leiterbahnen 5.

15 Die Folie 3 besteht aus einem Kunststoffmaterial auf Polyimid- oder Epoxidbasis.

Zur besseren Haftung kann ein Temperschritt nachfolgen.  
20 Typische Dicken d der Folie 3 liegen im Bereich von 25-150 µm, wobei größere Dicken auch aus Schichtenfolgen von dünneren Folien 3 erreicht werden können. Damit lassen sich vorteilhafterweise Isolationsfeldstärken im kV-Bereich realisieren.

25 Nun wird jede zu kontaktierende Kontaktfläche auf der Oberfläche 20 des Substrats 1 durch Öffnen jeweiliger Fenster 31 in der Folie 3 freigelegt (Figur 2, 302).

30 Eine zu kontaktierende Kontaktfläche ist nicht nur eine Kontaktfläche 210 auf einem Halbleiterchip 2, sondern kann auch jeder durch Öffnen eines Fensters 31 in der Folie 3 freigelegter Bereich 112 der oberen Oberfläche 111 der Schicht 11 aus Kupfer oder einem sonstigen Metall sein.

35 Das Öffnen eines Fensters 31 in der Folie 3 wird vorzugsweise durch Laserablation vorgenommen.

Danach wird jede freigelegte Kontaktfläche 210 und 112 mit einer Schicht 4 aus elektrisch leitendem Material, vorzugsweise Metall, flächig kontaktiert, indem die freigelegten Kontaktflächen 210 und 112 mit den üblichen Verfahren metallisiert und strukturiert und somit planar kontaktiert werden (Figur 2, 303).

Beispielsweise kann die Schicht 4 ganzflächig sowohl auf jede Kontaktfläche 210 und 112 als auch auf die von der Oberfläche 20 des Substrats 1 abgekehrte obere Oberfläche 301 der Folie 3 aufgebracht und danach beispielsweise fotolithographisch so strukturiert werden, dass jede Kontaktfläche 210 und 112 flächig kontaktiert bleibt und außerhalb der Kontaktflächen 210 und 112 Leiterbahnen 5 entstehen

Vorzugsweise werden dazu folgende Prozessschritte (semiadditiver Aufbau) durchgeführt:

i) Sputtern einer Ti-Haftschicht von ca. 100 nm Dicke und einer Cu-Leitschicht 4 von ca. 200 nm Dicke (Figur 2, 303).

ii). Fotolithographie unter Verwendung dicker Lackschichten oder von Fotofolien 7 (Figur 2, 304)

iii). Galvanische Verstärkung der freientwickelten Bereiche mit elektrisch leitender Schicht 6. Hier sind Schichtdicken bis 500  $\mu\text{m}$  möglich (Figur 2, 305).

iv). Lackentschichtung und Differenzätzzen von Cu und Ti (Figur 2, 306).

Es kann auch so vorgegangen werden, dass auf die von der Oberfläche 20 des Substrats 1 abgekehrte obere Oberfläche 301 der Folie 3 eine Maske aufgebracht wird, welche die Kontaktflächen 210 und 112 sowie Bereiche für die Leiterbahnen 5 freilässt, und dass dann die Schicht 4 aus dem

elektrisch leitenden Material ganzflächig auf die Maske und die Kontaktflächen 210 und 112 sowie die von der Maske freien Bereiche aufgebracht wird. Danach wird die Maske mit der darauf befindlichen Schicht 4 entfernt, so dass nur die 5 flächig kontaktierten Kontaktflächen 210 und 112 und die Leiterbahnen 5 auf den maskenfreien Bereichen übrigbleiben.

Jedenfalls ist danach eine Vorrichtung aus einem Substrat 1 mit einer Oberfläche 20, auf der elektrische Kontaktflächen 10 210, 112 angeordnet sind, bereitgestellt, bei der auf der Oberfläche 20 ein Isolator in Form einer Folie 3 aus elektrisch isolierendem Material durch Vakuum auflaminiert ist, die eng an der Oberfläche 20 anliegt und an der Oberfläche 20 haftet und bei der die Folie 3 bei jeder 15 Kontaktfläche 210 und 112 ein Fenster 31 aufweist, in welchem diese Kontaktfläche 210, 112 frei von der Folie 3 und flächig mit einer Schicht 4 und zusätzlich mit einer Schicht 6 aus elektrisch leitendem Material kontaktiert ist. Spezielle Ausbildungen dieser Vorrichtung ergeben sich aus 20 der vorstehenden Beschreibung.

## Patentansprüche

1. Verfahren zum Kontaktieren einer oder mehrerer elektrischer Kontaktflächen (21) auf einer Oberfläche (20)

5 eines Substrats (1), mit den Schritten:

- Auflaminieren einer Folie (3) aus elektrisch isolierendem Kunststoffmaterial auf die Oberfläche (20) des Substrats (1) unter Vakuum, so dass die Folie (3) die Oberfläche (20) mit der oder den Kontaktflächen (210, 112) eng anliegend bedeckt

10 und auf dieser Oberfläche (20) haftet,

- Freilegen jeder zu kontaktierenden Kontaktfläche (210, 112) auf der Oberfläche (20) durch Öffnen jeweiliger Fenster (31) in der Folie (3), und

15 - flächiges Kontaktieren jeder freigelegten Kontaktfläche (210, 112) mit einer Schicht (4, 6) aus elektrisch leitendem Material.

2. Verfahren nach Anspruch 1, wobei ein Substrat (1) mit einer Oberfläche (20) verwendet wird, die mit einem oder mehreren Halbleiterchips (2) bestückt ist, auf deren jedem je eine oder mehrere zu kontaktierende Kontaktflächen (210) vorhanden ist oder sind, und wobei die Folie (3) auf diese Oberfläche (20) unter Vakuum auflaminiert wird, so dass die Folie (3) diese Oberfläche (20) einschließlich jedes

25 Halbleiterchips (2) und jeder Kontaktfläche eng anliegend bedeckt und auf dieser Oberfläche (20) einschließlich jedes Halbleiterchips (2) haftet.

3. Verfahren nach Anspruch 2, wobei ein Substrat (1) mit einer mit einem oder mehreren Leistungshalbleiterchips (2) bestückten Oberfläche (20) verwendet wird.

4. Verfahren nach einem der vorhergehenden Ansprüche, wobei eine Folie (3) aus einem Kunststoffmaterial auf Polyimid-, Polyethylen-, Polyphenol-, Polyetheretherketon- und/oder auf Epoxidbasis verwendet wird.

5. Verfahren nach einem der vorhergehenden Ansprüche, wobei eine auflaminierte Folie (3) mit einer Dicke (d) von 25 bis 150  $\mu\text{m}$  verwendet wird.
- 5 6. Verfahren nach einem der vorhergehenden Ansprüche, wobei nach dem Auflaminieren der Folie (3) ein Temperschritt durchgeführt wird.
- 10 7. Verfahren nach einem der vorhergehenden Ansprüche, wobei das Auflaminieren sooft wiederholt wird, bis eine bestimmte Dicke der auflaminierten Folie erreicht ist.
- 15 8. Verfahren nach einem der vorhergehenden Ansprüche, wobei ein Fenster (31) in der Folie (3) durch Laserablation geöffnet wird.
- 20 9. Verfahren nach einem der vorhergehenden Ansprüche, wobei eine fotoempfindliche Folie (3) verwendet wird und ein Fenster (31) durch einen fotolithographischen Prozess geöffnet wird.
- 25 10. Verfahren nach einem der vorhergehenden Ansprüche, wobei eine Schicht aus mehreren übereinander angeordneten Teilschichten aus unterschiedlichem, elektrisch leitenden Material verwendet wird.
- 30 11. Verfahren nach einem der vorhergehenden Ansprüche, wobei nach dem flächigen Kontaktieren in und/oder auf der Schicht aus dem elektrisch leitendem Material mindestens eine Leiterbahn erzeugt wird.
- 35 12. Verfahren nach einem der vorhergehenden Ansprüche, wobei zum Herstellen einer mehrlagigen Vorrichtung die Schritte Auflaminieren, Freilegen, Kontaktieren und Erzeugen der Leiterbahn mehrmals durchgeführt wird.

13. Vorrichtung aus einem Substrat (1) mit einer Oberfläche (20), auf der elektrische Kontaktflächen (210, 112) angeordnet sind, wobei auf der Oberfläche (20) eine Folie (3) aus elektrisch isolierendem Material durch Vakuum 5 auflaminiert ist, die eng an der Oberfläche (20) anliegt und an der Oberfläche (20) haftet, wobei die Folie (3) bei jeder Kontaktfläche (210, 112) ein Fenster (31) aufweist, in welchem diese Kontaktfläche (210, 112) frei von der Folie (3) und flächig mit einer Schicht (4, 6) aus elektrisch leitendem 10 Material kontaktiert ist.

14. Vorrichtung nach Anspruch 13, mit zumindest einer Kontaktfläche (210) auf wenigstens einem Halbleiterchip (2) auf der Oberfläche (20) des Substrats (1), wobei die Folie 15 (3) eng an dem Halbleiterchip (2) anliegt und bei der Kontaktfläche (210) auf dem Halbleiterchip (2) ein Fenster (31) aufweist, in welchem diese Kontaktfläche (210) frei von der Folie (3) und flächig mit einer Schicht (4, 6) aus elektrisch leitendem Material kontaktiert ist.

20

15. Vorrichtung nach Anspruch 14, wobei ein Halbleiterchip (2) ein Leistungshalbleiterchip ist.

FIG 1

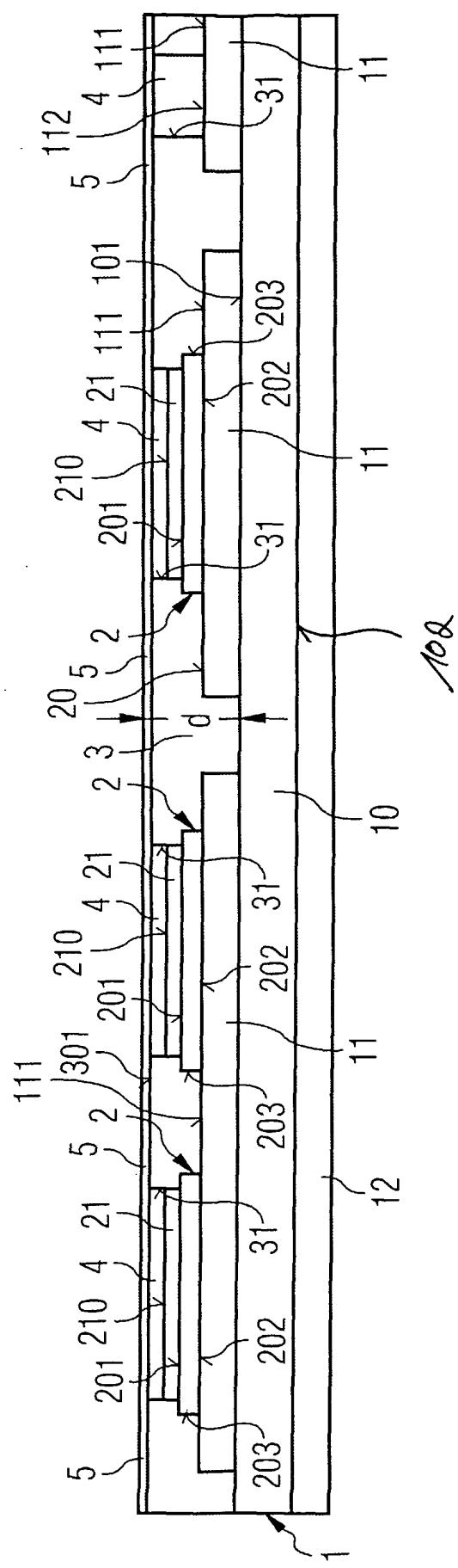


FIG 2

